量子コンピュータシミュレータ向けデータ表現とそのFPGA実装

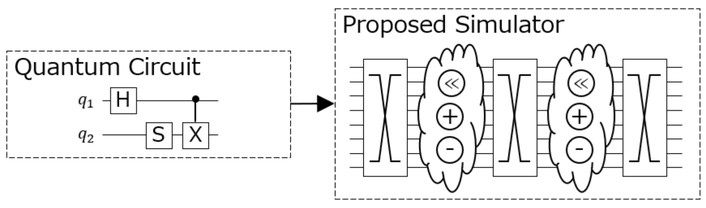
高橋・中原研究室　長谷川 陽彦

概要

■ 背景

■ 量子コンピュータシミュレータ

- 量子回路のアプリケーションの動作を検証
- 量子回路の量子状態を出力
- 膨大な計算が必要



■ アプローチ

- 新しい数値表現IST(Inverse of Square root of Two)
  - ユニバーサルゲートで構成された量子回路の量子状態を正確に表現可能
- FPGAを用いてIST向けの高速な加算減算乗算ユニットの開発

■ 結果

- ユニバーサルゲートで構成された量子回路向けの量子シミュレータの効率的なFPGA実装を達成

量子状態

1量子ビットの量子状態 ($|\psi\rangle$)

$$|\psi\rangle = a|0\rangle + b|1\rangle = a\begin{pmatrix}1\\0\end{pmatrix} + b\begin{pmatrix}0\\1\end{pmatrix} = \begin{pmatrix}a\\b\end{pmatrix},$$

$$|a|^2 + |b|^2 = 1 \qquad (a, b \in \mathbb{C})$$

0 である確率は $|a|^2$、1 である確率は $|b|^2$

ユニバーサルゲートセット

量子回路の挙動の近似表現可能

Hゲート	Tゲート	CNOTゲート
$\frac{1}{\sqrt{2}}\begin{pmatrix}1 & 1\\1 & -1\end{pmatrix}$	$\begin{pmatrix}1 & 0\\0 & \frac{1+i}{\sqrt{2}}\end{pmatrix}$	$\begin{pmatrix}1&0&0&0\\0&1&0&0\\0&0&0&1\\0&0&1&0\end{pmatrix}$

新しい数値表現（IST）

$$\sum_{k=0}^{N} a_k \left(\frac{1}{\sqrt{2}}\right)^k \quad (a_k \in \{0,1,-1\})$$

■ e.g.

$$0\left(\frac{1}{\sqrt{2}}\right)^0 + \left(\frac{1}{\sqrt{2}}\right)^1 + \left(\frac{1}{\sqrt{2}}\right)^2 + 0\left(\frac{1}{\sqrt{2}}\right)^3 + 0\left(\frac{1}{\sqrt{2}}\right)^4 - \left(\frac{1}{\sqrt{2}}\right)^5 - \left(\frac{1}{\sqrt{2}}\right)^6$$

$$= 0.9053300858899106433\cdots_{(10)}$$

	a_0	a_1	a_2	a_3	a_4	a_5	a_6
IST	0	1	1	0	0	-1	-1
IST on FPGA	0 0	0 1	0 1	0 0	0 0	1 1	1 1

■ 強み

乗算処理がISTではシンプルに処理可能

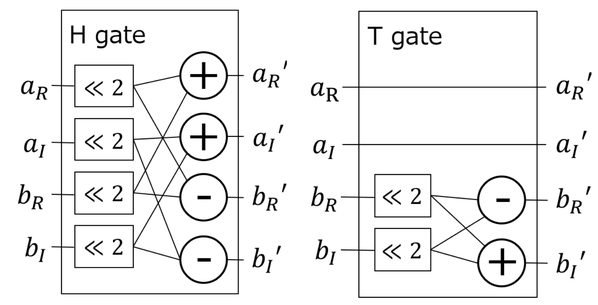
IST	かける数	式	処理
$\sum_{k=0}^{N} a_k \left(\frac{1}{\sqrt{2}}\right)^k$	0	0	0変換
	1	$\sum_{k=0}^{N} a_k \left(\frac{1}{\sqrt{2}}\right)^k$	維持
	$\pm\frac{1}{\sqrt{2}}$	$\pm\sum_{k=0}^{N} a_k \left(\frac{1}{\sqrt{2}}\right)^{k+1}$	シフト

ゲート実装

■ Hゲート、Tゲート

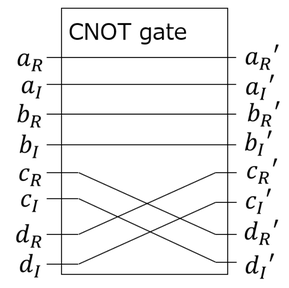
Input: $\begin{pmatrix}a_R + a_I i\\ b_R + b_I i\end{pmatrix}$

Output: $\begin{pmatrix}a_R' + a_I' i\\ b_R' + b_I' i\end{pmatrix}$



■ CNOTゲート

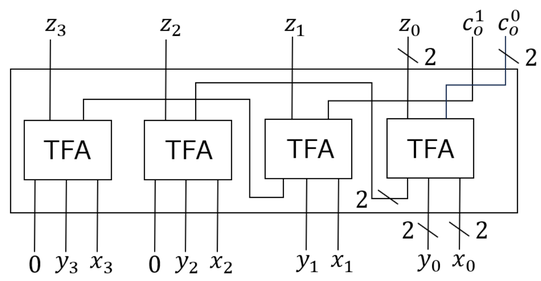
Input: $\begin{pmatrix}a_R + a_I i\\ b_R + b_I i\\ c_R + c_I i\\ d_R + d_I i\end{pmatrix}$ Output: $\begin{pmatrix}a_R' + a_I' i\\ b_R' + b_I' i\\ c_R' + c_I' i\\ d_R' + d_I' i\end{pmatrix}$



演算実装

Input : x, y Output : z （e.g. 8bits）

■ 加算器

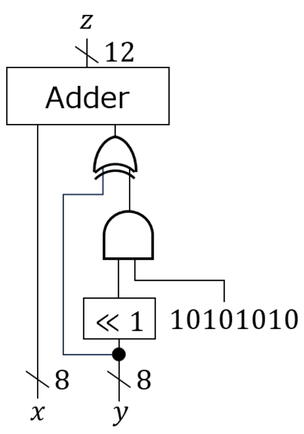


TFA … Three-valued Full Adder

- 特殊な繰り上げ処理

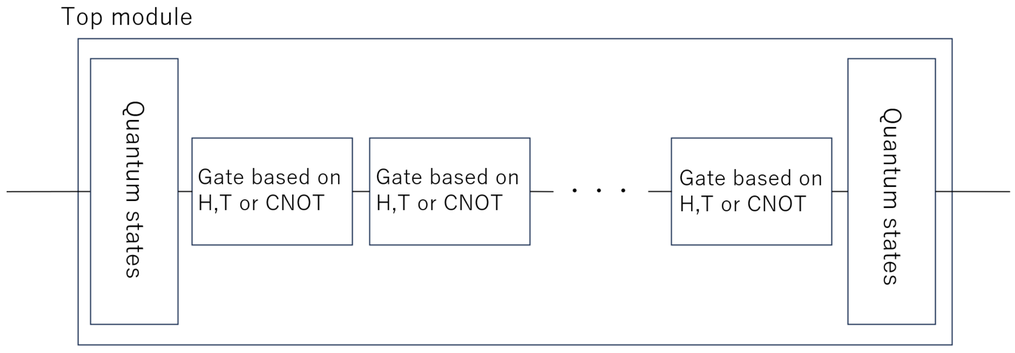
$$\left(\frac{1}{\sqrt{2}}\right)^k + \left(\frac{1}{\sqrt{2}}\right)^k = \left(\frac{1}{\sqrt{2}}\right)^{k-2}$$

■ 減算器



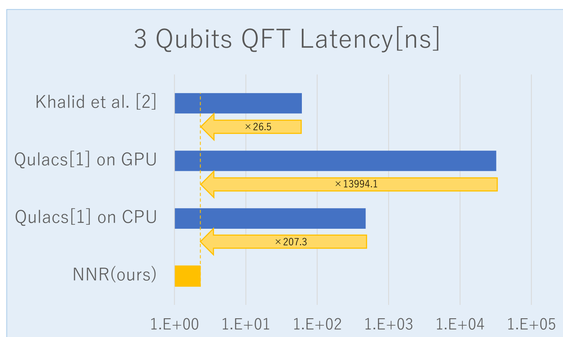
Circuit Implementation

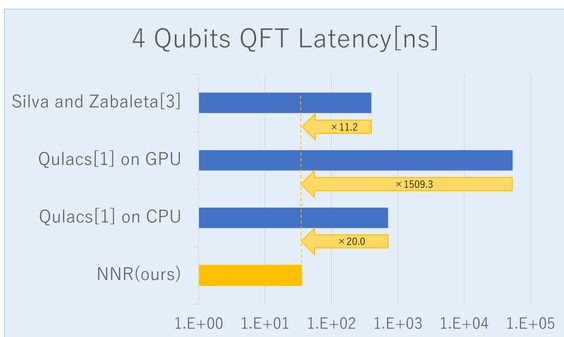
Input : 初期量子状態 Output : 処理された量子状態

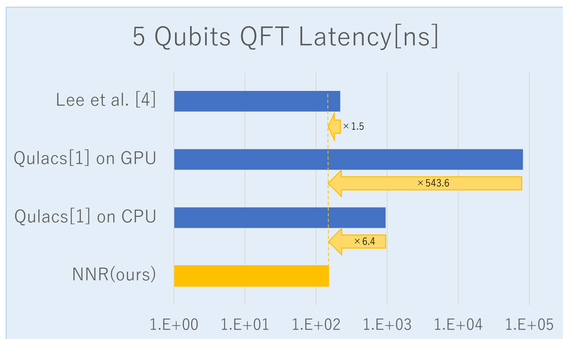


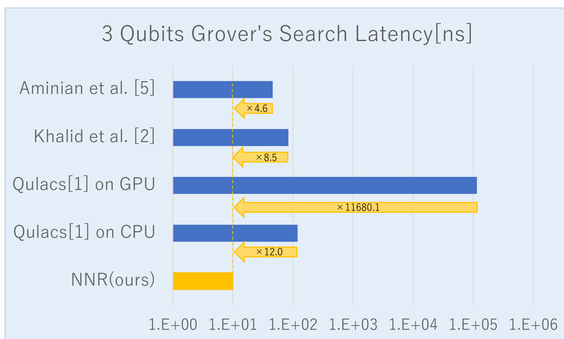
レイテンシ比較

小さい結果程よい









展望

我々の提案における欠点の克服

■ 膨大なリソース

- 追加される量子ビットごとにI/Oサイズが倍増
- ゲート数の増加により近似精度が向上
- 最適な近似手法の探索が必要

■ 実装時間

- 実装時間が数時間に延長
- 合成アルゴリズムの最適化空間を狭めることで時間を短縮

[1] Y. Suzuki, Y. Kawase, Y. Masumura, Y. Hiraga, M. Nakadai, J. Chen,K.M. Nakanishi, K. Mitarai, R. Imai, S. Tamiya, et al., "Qulacs: afast and versatile quantum circuit simulator for research purpose,"Quantum, vol.5, p.559, 2021.
[2] A.U. Khalid, Z. Zilic, and K. Radecka, "Fpga emulation of quan-tum circuits," IEEE International Conference on Computer Design:VLSI in Computers and Processors, 2004. ICCD 2004. Proceedings.,pp.310–315, 2004.
[3] A. Silva and O.G. Zabaleta, "Fpga quantum computing emulator us-ing high level design tools," 2017 Eight Argentine Symposium andConference on Embedded Systems (CASE), pp.1–6, 2017.
[4] Y.H. Lee, M. Khalil-Hani, and M.N. Marsono, "An fpga-based quan-tum computing emulation framework based on serial-parallel archi-tecture," Int. J. Reconfig. Comput., vol.2016, pp.••–••, apr 2016.https://doi.org/10.1155/2016/5718124
[5] M. Aminian, M. Saeedi, M.S. Zamani, and M. Sedighi, "Fpga-basedcircuit model emulation of quantum algorithms," 2008 IEEE Com-puter Society Annual Symposium on VLSI, pp.399–404, 2008.